

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-132492

(43)Date of publication of application : 10.05.2002

(51)Int.Cl.

G06F 7/00

(21)Application number : 2001-252692

(71)Applicant : INFINEON TECHNOLOGIES AG

(22)Date of filing : 23.08.2001

(72)Inventor : FUGGER PAUL
NETRVAL FILIP

(30)Priority

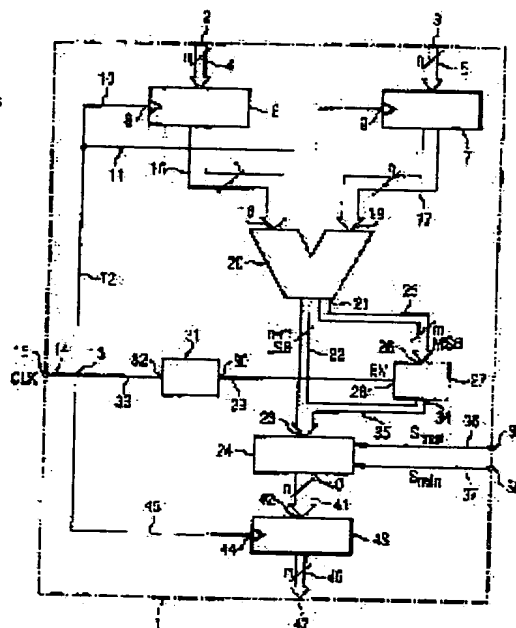
Priority number : 2000 10041511 Priority date : 24.08.2000 Priority country : DE

(54) ADDING CIRCUIT FOR DIGITAL DATA

(57)Abstract:

PROBLEM TO BE SOLVED: To attempt saving electricity of a saturated circuit used for result of adding operation.

SOLUTION: In an adding circuit of digital data, the adding circuit provides an adder 20 for adding values of digital input data to be input to data inputs 18 and 19 having a predetermined data bit width (n) and for outputting formed values of added digital output data to an output 21, and a saturated circuit 24 for limiting the values of added output data within a field of data values that is determined by an upper data threshold Smax and a lower data threshold Smin and for inputting to a data input 23. The adding circuit is characterized in that the (n-m) pieces of least significant bit LSB of added output data are directly inputted to a data input 23 of a saturation circuit 24, is switched to the m pieces of most significant bit MSB are inputted to the data input 23 of the saturation circuit 24 via clock state controlled latch register 27.



LEGAL STATUS

[Date of request for examination]

28.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-132492

(P2002-132492A)

(43)公開日 平成14年5月10日(2002.5.10)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 0 6 F 7/00

G 0 6 F 7/00

D 5 B 0 2 2

審査請求 有 請求項の数 7 O L (全 7 頁)

(21)出願番号 特願2001-252692(P2001-252692)

(22)出願日 平成13年8月23日(2001.8.23)

(31)優先権主張番号 1 0 0 4 1 5 1 1 . 3

(32)優先日 平成12年8月24日(2000.8.24)

(33)優先権主張国 ドイツ (D E)

(71)出願人 500390711

インフィネオン・テクノロジー・アーゲー

ドイツ連邦共和国 D-81541 ミュンヘン,
ザンクトーマーチン-シュトラッセ 53

(72)発明者 フーガー ポール

オーストリア共和国 8010 グラッツ モ
レレンフェルドガッセ 35

(74)代理人 100074332

弁理士 藤本 昇 (外5名)

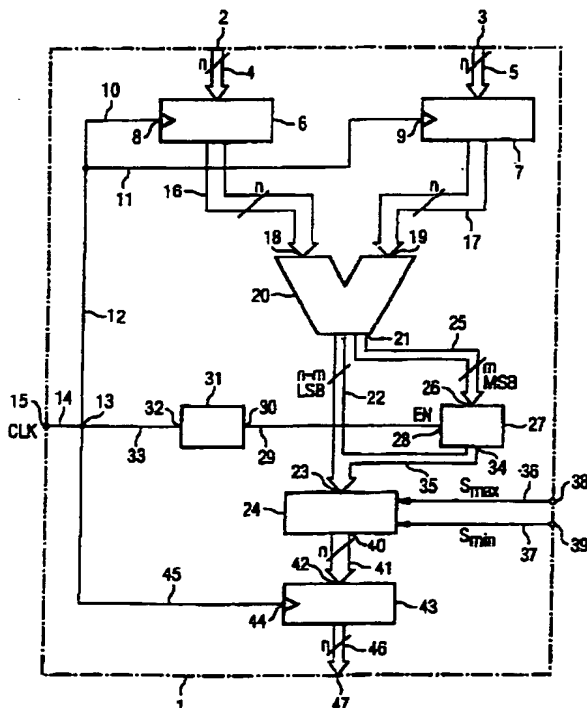
最終頁に続く

(54)【発明の名称】 デジタルデータの加算回路

(57)【要約】 (修正有)

【課題】加算結果の飽和回路の省電力化を図る。

【解決手段】デジタルデータの加算回路であって、予め定められたデータビット幅 n を有するデータ入力 1 8, 1 9 に入力されるデジタル入力データ値を加算し、加算出力データ値を形成して出力 2 1 に出力するためのデジタル加算器 2 0 と、加算出力データ値を上側データしきい値 S_{max} および下側データしきい値 S_{min} によって定められたデータ値域内で制限し、データ入力 2 3 に入力するための飽和回路 2 4 とを具備し、加算出力データ値の $n-m$ 個の最下位ビット L S B が飽和回路 2 4 のデータ入力 2 3 に直接入力され、加算出力データ値の m 個の最上位ビット M S B がクロックステート制御されたラッチレジスタ 2 7 を経て飽和回路 2 4 のデータ入力 2 3 に入力されるように切り替わることを特徴とする。



【特許請求の範囲】

【請求項1】 デジタルデータの加算回路であって、デジタル加算器(20)のデータ入力(18, 19)に入力されるデジタル入力データ値を加算し、加算出力データ値を形成して前記デジタル加算器(20)の出力(21)に出力するためのデジタル加算器(20)であって、前記データ入力(18, 19)が予め定められたデータビット幅 n を有するデジタル加算器(20)と、前記加算出力データ値を上側データしきい値(S_{max})および下側データしきい値(S_{min})によって定められたデータ値域内で制限し、飽和回路(24)のデータ入力(23)に inputs するための飽和回路(24)とを具備し、クロック信号(CLK)が与えられたときに前記加算出力データ値の $n-m$ 個の最下位ビット(LSB)が前記飽和回路(24)のデータ入力(23)に直接入力され、反転されたクロック信号($(CLK)'$)が与えられたときに前記加算出力データ値の m 個の最上位ビット(MSB)がクロックステート制御されたラッチレジスタ(27)を経て前記飽和回路(24)のデータ入力(23)に input されるように切り替わることを特徴とする加算回路。

【請求項2】 前記加算回路は、前記デジタル入力データ値をバッファ記憶するための入力レジスタ(6, 7)をさらに具備することを特徴とする請求項1記載の加算回路。

【請求項3】 前記加算回路は、前記飽和回路(24)により制限された前記加算出力データ値をバッファ記憶するための出力レジスタ(43)をさらに具備することを特徴とする請求項1または2記載の加算回路。

【請求項4】 前記加算回路は、前記デジタル入力データ値をバッファ記憶するための入力レジスタ(6, 7)および前記飽和回路(24)により制限された前記加算出力データ値をバッファ記憶するための出力レジスタ(43)をさらに具備し、前記入力レジスタ(6, 7)および前記出力レジスタ(43)は、クロック信号(CLK)を適用するためにクロック信号ラインに接続されていることを特徴とする請求項1記載の加算回路。

【請求項5】 前記クロックステート制御されたラッチレジスタ(27)は、インバータ回路(31)を経て前記クロック信号ラインに接続された制御入力(28)を具備することを特徴とする請求項1～4のいずれかに記載の加算回路。

【請求項6】 前記2つのデータしきい値(S_{min} , S_{max})は設定できることを特徴とする請求項1～5のいずれかに記載の加算回路。

【請求項7】 前記飽和回路(24)は、前記上側しきい値(S_{max})と前記加算出力データ値とを比較する第1のコンパレータ(48)および前記下側しきい値(S_{mi}

n)と前記加算出力データ値とを比較する第2のコンパレータ(61)を具備することを特徴とする請求項1～6のいずれかに記載の加算回路。

【発明の詳細な説明】

【0001】本発明は、加算回路によって算出された出力データの値域を制限するための飽和回路におけるデジタルデータの省電力加算回路に関する。

【0002】ドイツ国特許40 10 735 C 2号公報には、デジタルワードシリアル乗算回路が開示されている。これにより、2ビットパラレルの2値の信号値が演算される。この信号値は、それぞれ最上位および最下位を含む重要度の順に昇順されたビットを有している。

【0003】図1は飽和回路におけるデジタルデータの加算回路を示す図である。加算回路は、2つのデジタルデータ値 A , B をデジタル加算する。データ値 A , B は、どちらもクロックが投入された入力レジスタに記入される。また、データ値 A , B は、予め定められたビット幅 n を有する。入力レジスタ A , B は、入力データ A , B を加算するためのバッファ記憶装置として機能する。また、入力レジスタ A , B は、 n 本のデータラインを経てデジタル加算器ADDのデータ入力に接続されている。デジタル加算器ADDは、 n 個の全加算器を元にしており、 n ビット幅の加算出力を有し、加算によって形成された加算出力データ値を飽和回路SATに伝送する。飽和回路SATは、加算出力データ値を上下のデジタルしきい値 S_{min} , S_{max} により定められるデータ値域内に制限する。これにより、デジタル出力信号を短縮することができる。飽和回路SATによって制限された加算出力データ値は、クロックが投入された出力レジスタにバッファ記憶され、以降のデータ処理過程へ伝送される。2つの入力レジスタ A , B および出力レジスタは、共通のクロックラインを経てクロック信号CLKによって同期されている。

【0004】図2は図1に示されるような従来の加算回路における信号の時系列図である。

【0005】従来の加算回路は、クロック周期 T_{CLK} が予め定められたクロック信号CLKをクロック信号回路から受け取る。時刻 t_0 において信号が立ち上がり入力データレジスタ A , B においてデータ変化が生じる。すなわち、加算器ADDにおいて加算が行われる。信号伝送時間経過後、時刻 t_2 より加算器ADDの出力に加算出力データ値が生じる。同時に、「グリッチング(glitching)」が加算器ADDに発生する。すなわち、最終の加算出力データ値が確定するまで出力データ値が上下する。グリッチングは短期間の破壊パルスである。飽和回路SATは、破壊パルスによる影響を受けた加算器ADDからのデジタル出力信号を受け取り、時刻 t_3 から時刻 t_5 の間に不安定なデータ出力レジスタに伝送する。制限された加算出力データ値は、上下のしきい値およびデジタル加算器の加算出力値をとる間の時間 ΔT

において前後に変動する（「トグリング (toggling)」）。上下のしきい値を取り替えることによって、飽和回路SATにより伝送されるデータは、とても多くの切替命令を受け取る。その結果、飽和回路SATにおいて非常に大きい電力損失となる。

【0006】それゆえ、本発明の目的は、飽和回路内の切替命令による電力損失を最小限にすることができる飽和回路におけるデジタルデータの加算回路を提供することである。

【0007】この目的は、請求項1に記載された特徴を有するデジタルデータの加算回路の発明によって達成される。

【0008】本発明は、デジタルデータの加算回路であって、デジタル加算器のデータ入力に入力され、形成された加算出力データ値をデジタル加算器の出力に出力するデジタル入力データ値であって、予め定められたデータビット幅 n を有する入力データ値を加算するためのデジタル加算器と、

【0009】加算出力データ値を上下のしきい値によって定められたデータ値域内で制限し、飽和回路のデータ入力に入力するするための飽和回路とを具備し、

【0010】加算出力データ値の $n-m$ 個の最下位ビット(LSB)が飽和回路のデータ入力に直接入力され、加算出力データ値の m 個の最上位ビット(MSB)がクロックステート制御されたラッチレジスタを経て飽和回路のデータ入力に入力されるように切り替わるものである。

【0011】加算回路は、デジタル入力データ値をバッファ記憶するための入力レジスタを具備することが好ましい。

【0012】加算回路は、飽和回路により制限された加算出力データ値をバッファ記憶するための出力レジスタをさらに具備することが好ましい。

【0013】加算回路は、前記デジタル入力データ値をバッファ記憶するための入力レジスタおよび前記飽和回路により制限された前記加算出力データ値をバッファ記憶するための出力レジスタをさらに具備し、入力レジスタおよび出力レジスタは、クロック信号CLKを適用するためにクロック信号ラインに接続されていることが好ましい。

【0014】クロックステート制御されたラッチレジスタは、インバータ回路を経てクロック信号ラインに接続された制御入力を具備することが好ましい。

【0015】上下のデータしきい値は設定できるのが好ましい。

【0016】飽和回路は、上側しきい値と加算出力データ値とを比較する第1のコンパレータおよび下側しきい値と加算出力データ値とを比較する第2のコンパレータを具備することが特に好ましい。

【0017】本発明に係るデジタルデータの加算回路の

好ましい実施形態について、本発明の特徴部分を説明するべく添付した図面を参照しつつ、以下に説明する。

【0018】図3は本発明に係るデジタルデータの加算回路のブロック図である。図3により明らかなように、本発明に係る加算回路1は、デジタル入力値を適用するための第1のデータ入力2および第2のデータ入力3を具備している。入力データ値は、バッファ記憶のための n 個の並行データライン4、5を経てそれぞれ n ビット幅で入力レジスタ6、7に書き込まれる。入力レジスタ6、7は、それぞれクロック信号入力8、9を具備する。2つの入力レジスタ6、7のクロック信号入力8、9は、クロックライン10、11、12を経て加算回路1にあるクロック信号の分岐ノード13に接続されている。クロック信号の分岐ノード13は、内部クロックライン14を経て加算回路1のクロック信号入力15に接続される。入力レジスタ6、7のデータ出力は、 n 個の並行データライン16、17を経てデジタル加算器20のデータ入力18、19に接続されている。デジタル加算器20は、全加算器の構成を有することが好ましい。デジタル加算器20は、デジタルデータ入力18、19にある2つのデジタル入力データ値を加算し、データ出力21から加算出力データ値を伝送する。

【0019】形成された加算出力データ値の $n-m$ 個の最下位ビット(LSB)は、 $n-m$ 個の並列データビットライン22を経て直接的に下流の飽和回路24のデータ入力23に適用される。

【0020】形成された加算出力データ値の m 個の最上位ビット(MSB)は、 m 個の並列データビットライン25を経てクロックステート制御されるラッチレジスタ27のデータ入力26に適用される。クロックステート制御されるラッチレジスタ27は、制御入力28を具備する。この制御入力28は、制御ライン29を経てインバータ回路31の出力30に接続されている。インバータ回路31は、入力32を具備し、この入力32は、信号ライン33を経てクロック信号の分岐ノード13に接続されている。インバータ回路31は、入力32にあるクロック信号CLKを反転させ、制御信号ENとしてクロックステート制御されるラッチレジスタ27の制御入力28に伝送される。クロックステート制御されるラッチレジスタ27は、データ出力34を有し、このデータ出力34は、 m 個のデータビットライン35を経て下流の飽和回路24のデータ入力23に接続されている。飽和回路24は、データ入力23にある加算出力データ値を上側データしきい値 S_{max} および下側データしきい値 S_{min} によって定められたデータ値域内に制限する。上下のデータしきい値 S_{max} 、 S_{min} は、設定ライン36、37を経て加算回路1の設定接続部38、39により設定され得ることがより好ましい。飽和回路24は、データ出力40を具備し、このデータ出力40は、 n 個の並列データビットライン41を経て加算回路1のデ

ータ出力レジスタ43のデータ入力42に接続されている。データ出力レジスタ43はクロック信号入力44を具備し、このクロック信号入力44は、クロック信号ライン45を経てクロック信号の分岐ノード13に接続されている。データ出力レジスタ43は、飽和回路24により制限された加算出力データ値をバッファ記憶し、n個の並列接続されたデータビットライン46を経て加算回路1のデータ出力47に接続されている。

【0021】図4は本発明に係る加算回路に含まれる飽和回路のブロック図である。飽和回路24は、設定ライン36にある上側データしきい値 S_{max} とデータ入力23にある加算出力データ値とを比較する第1のコンパレータ48を具備している。この目的のために、第1のコンパレータ48は、第1の信号入力49および第2の信号入力50を具備する。つまり、ライン51を経て加算器20により出力された加算出力データ値を受け取るため、およびライン52を経て上側データしきい値 S_{max} を受け取るためである。第1のコンパレータ48は、制御ライン53を経て第1のマルチプレクサ54を制御する。この第1のマルチプレクサ54は、データライン56から第1のデータ入力55を経て上側データしきい値 S_{max} を受け取り、データライン58から第2のデータ入力57を経て加算出力データ値AD Doutを受け取る。

【0022】第1のマルチプレクサ54の出力値はデータライン59を経て飽和回路24における第2のコンパレータの第1の信号入力60に適用される。第2のコンパレータ61は、第2の信号入力62を具備し、この第2の信号入力は、ライン63を経て設定ライン37から設定可能な下側データしきい値 S_{min} を受け取る。第2のコンパレータ61は制御ライン64を経て第2のマルチプレクサ65を制御する。この第2のマルチプレクサ65は、データライン67から第1のデータ入力66を経て下側データしきい値 S_{min} を受け取る。また、第2のマルチプレクサ65は、第2のデータ入力68を具備し、データライン69を経て第1のマルチプレクサ54から伝送されたデータ値が第2のデータ入力68に適用される。第2のマルチプレクサ65の出力側は、ライン70を経て飽和回路24の出力40に接続されている。

【0023】第1のコンパレータ48が、加算器20から出力された加算出力データ値AD Doutが設定された上側データしきい値 S_{max} より大きいことを検出した場合、第1のコンパレータ48は、制御ライン53を介して第1のマルチプレクサ54を制御し、第1のマルチプレクサ54において第1のデータ入力55が出力側のデータライン59に接続するように切り替える。反対に、第1のコンパレータ48が、加算出力データ値AD Doutが上側データしきい値 S_{max} より小さいことを検出した場合、第1のコンパレータ48は、制御ライン53を介して第1のマルチプレクサ54を制御し、第1のマルチ

プレクサ54において第2のデータ入力57が出力側のデータライン59に接続するように切り替える。したがって、現実の加算出力データ値をもとに処理される。

【0024】第2のコンパレータ61は、データライン59にある実際のデータ値と下側データしきい値 S_{min} とを比較し、同様に、制御ライン64を介して第2のマルチプレクサ65を制御する。データライン59にある実際のデータ値が下側データしきい値 S_{min} より小さい場合、第2のマルチプレクサ65のデータ入力66が飽和回路24のデータ出力40に接続するように切り替えられる。一方、データライン59にある実際のデータ値が下側データしきい値 S_{min} より大きい場合、第2のマルチプレクサ65の第2のデータ入力68が飽和回路24のデータ出力40に接続するように切り替えられる。

【0025】図4に具体的に示されているように、飽和回路24は、2つのコンパレータ回路48、61および2つのマルチプレクサ54、65によって実現されている。

【0026】2つのデータしきい値 S_{max} 、 S_{min} は、より好ましくは以下のようなものが選ばれる。

$$S_{max} = 2^{(n-1)} - 1$$

$$S_{min} = -2^{(n-1)}$$

【0027】上側データしきい値 S_{max} は、最上位ビットMSBとして1つの0および最下位ビットLSBとして $n-1$ 個の1を含んでいる。それゆえ、 S_{max} は次のように表される。

$$S_{max} = 2^{(n-1)} - 1$$

【0028】下側データしきい値 S_{min} は、最上位ビットMSBとして1つの1および最下位ビットLSBとして $n-1$ 個の0を含んでいる。

【0029】下側データしきい値 S_{min} は、結果的に次のように表される。

$$S_{min} = -2^{(n-1)}$$

【0030】図5は図3に示されるような本発明に係る加算回路において信号が立ち上がる様子を示した時系列図である。クロック信号入力15には、加算回路1に共通のクロック信号CLKがある。時刻 t_0 において、入力データレジスタ6、7に置かれている入力データ値A、Bは、クロック信号CLKが立ち上がることによって時刻 t_1 で示される特定の信号伝送時間の後に立ち上がり、デジタル加算器20のデータ入力18、19に向けてデータを伝送する。時刻 t_2 になると、デジタル出力信号AD Doutがデジタル加算器20のデータ出力21に到達する。データ出力21に出力される出力データ値は、時刻 t_4 まで変動し、その後確定する。

【0031】インバータ回路31によって反転されたクロック信号(CLK)'は、イネーブル信号ENとしてラッチ回路29の制御入力28に表れる。時刻 t_0 から時刻 t_6 の間では、ラッチ回路27により最上位ビットMSBでないものが飽和回路24に伝送されるように切

り替えられる。時刻 t_2 から時刻 t_4 の間では、データビットがデジタル加算器 20 のデータ出力 21 において前後に変動する。

【0032】時刻 t_3 から時刻 t_4 の間では、最下位ビット LSB のグリッチングが飽和回路 24 のデータ出力 40 において生じる。最上位ビット MSB-SA Tout が飽和回路 24 のデータ入力 23 において安定であるため、上側データしきい値 S_{max} と下側データしきい値 S_{min} との間で起きる前後変動（トグリング）は、発生しなくなり、その結果、ビット切替の命令が出される回数が最小限になる。このように、本発明に係る加算回路 1 によれば、最上位ビット MSB のためのラッチレジスタ 27 により、飽和回路 24 内の切り替えによる電力損失が最小限となる。

【0033】飽和回路 24 のデータ出力 40 において生じるトグリングまたは前後変動を最大限抑制するため、ラッチされた最上位ビット MSB の数 m は以下のように選ばれることが好ましい。

$$m > 1$$

【0034】 m の値が増加すると飽和回路 24 内の切り替えによる電力損失は降下するが、ラッチレジスタ 27 内の切替命令のために切り替えによる電力損失は増加する。加算回路 1 全体で切り替えによる電力損失を最小限にするためには、以下のようにすることで達成される。

$$m = 1 + 2$$

【0035】加算されるための入力データのデータビット幅 n は一般的に 20 データビット以上である。選択されたしきい値 S_{min} , S_{max} によって、4 または 5 データビットの値が m として選ばれるのが好ましい。

【図面の簡単な説明】

【図1】 デジタルデータの加算回路を表す図である。

【図2】 従来の加算回路における信号の立ち上がりを表す時系列図である。

【図3】 本発明に係るデジタルデータの加算回路のブロック図である。

【図4】 本発明に係る加算回路に含まれる飽和回路の

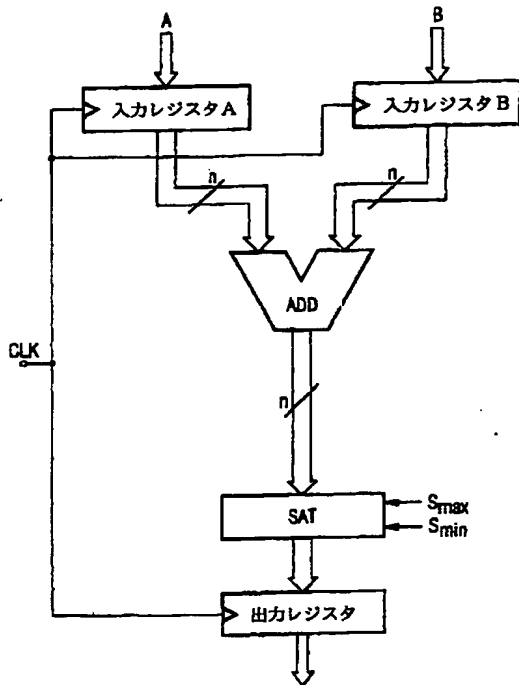
ブロック図である。

【図5】 本発明に係る加算回路において信号が立ち上がる様子を示した時系列図である。

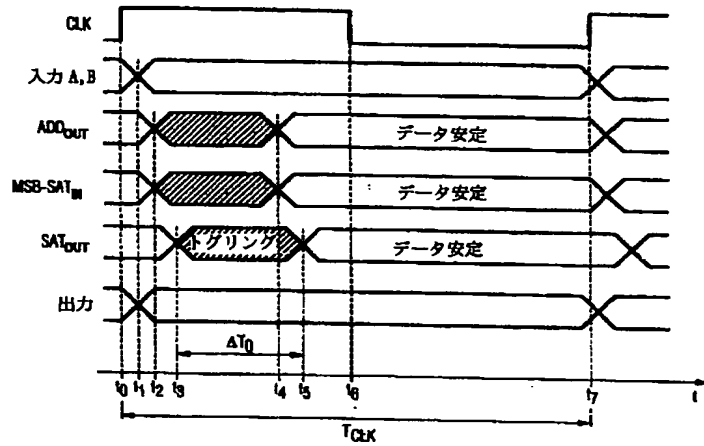
【符号の説明】

1…加算回路 2…第1のデータ入力 3…第2のデータ入力 4…データライン 5…データライン 6…入力レジスタ 7…入力レジスタ 8…クロック信号入力 9…クロック信号入力 10…クロックライン 11…クロックライン 12…クロックライン 13…クロック信号分岐ノード 14…内部クロックライン 15…クロック信号入力 16…データライン 17…データライン 18…データ入力 19…データ入力 20…デジタル加算器 21…デジタル加算器の出力 22…LSB用データライン 23…データ入力 24…飽和回路 25…MSB用データライン 26…データ入力 27…クロックステート制御されたラッチレジスタ 28…制御入力 29…制御ライン 30…インバータ回路の出力 31…インバータ回路 32…インバータ回路の入力 33…信号ライン 34…データ出力 35…データライン 36…設定ライン 37…設定ライン 38…設定接続部 39…設定接続部 40…飽和回路の出力 41…飽和回路の出力 42…データ入力 43…出力レジスタ 44…クロック信号入力 45…クロック信号ライン 46…データビットライン 47…加算回路のデータ出力 48…コンパレータ回路 49…第1の信号入力 50…第2の信号入力 51…ライン 52…ライン 53…制御ライン 54…第1のマルチプレクサ 55…第1のデータ出力 56…データライン 57…第2のデータ入力 58…データライン 59…データライン 60…第1の信号入力 61…第2のコンパレータ 62…第2の信号入力 63…ライン 64…制御ライン 65…第2のマルチプレクサ 66…第1のデータ入力 67…データライン 68…第2のデータ入力 69…データライン 70…ライン

【図 1】

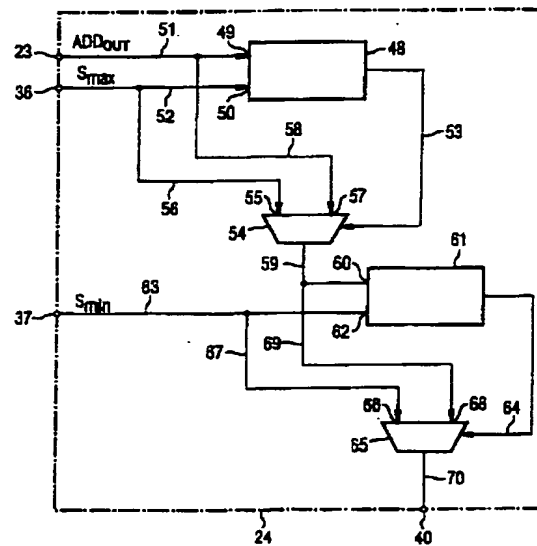
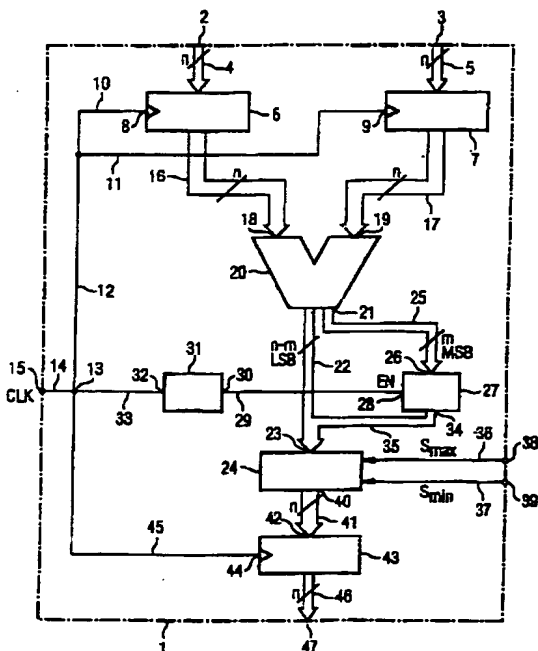


【図 2】

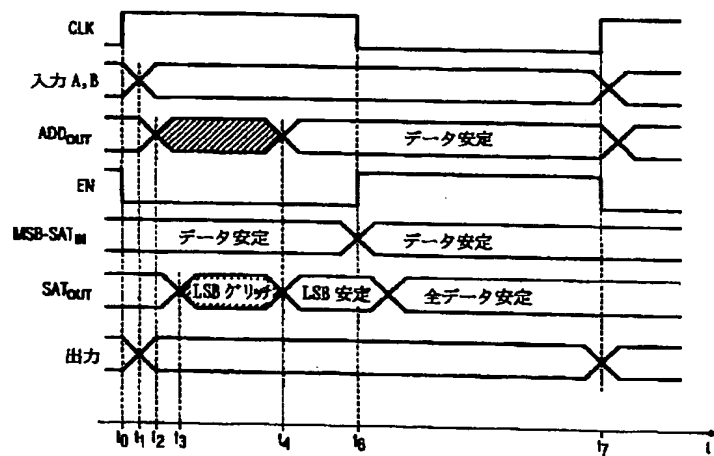


【図 4】

【図 3】



【図5】



フロントページの続き

(72)発明者 ネタルバル フィリップ
スウェーデン王国 58243 リンコエピン
グ グリップガタン 3

Fターム(参考) 5B022 AA00 BA02 CA01 CA04 CA08
DA06 FA09